

NON-VOLATILE SEMICONDUCTOR MEMORY

Patent number: JP2001283594
Publication date: 2001-10-12
Inventor: TAKADA SHIGEKAZU
Applicant: SHARP KK
Classification:
 - international: **G11C16/10; G11C16/22; G11C16/26; G11C16/06;**
 (IPC1-7): G11C16/02; G06F12/14; H01L21/8247;
 H01L27/115; H01L29/788; H01L29/792
 - european: G11C16/10; G11C16/22; G11C16/26
Application number: JP20000092522 20000329
Priority number(s): JP20000092522 20000329

Also published as:

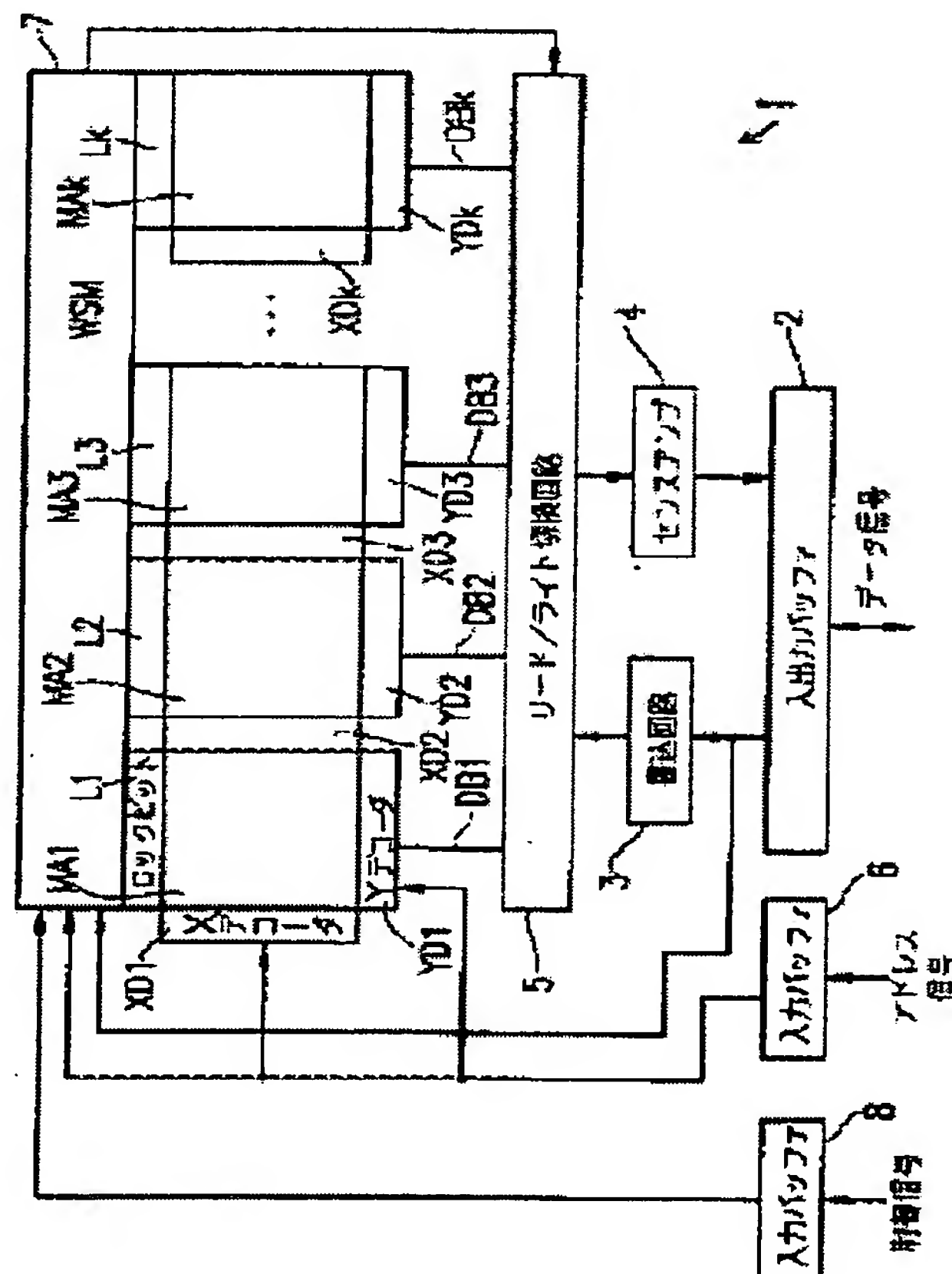


EP1143455 (A2)
 US6469928 (B2)
 US2001036105 (A)
 EP1143455 (A3)

Report a data error he

Abstract of JP2001283594

PROBLEM TO BE SOLVED: To prevent information of a memory cell array block from being rewritten or erased erroneously or illegally.
SOLUTION: In a non-volatile semiconductor memory in which read-out operation from an arbitrary memory cell array block MA and write-in or erase operation of the other memory cell array block can be performed simultaneously on one chip, the device has a security function against illegal rewriting after data are written once, while the device can be provided with a memory cell array block MA storing the information requiring no rewrite.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-283594

(P 2 0 0 1 - 2 8 3 5 9 4 A)

(43) 公開日 平成13年10月12日 (2001.10.12)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G11C 16/02		G06F 12/14 310	F 5B017
G06F 12/14	310	G11C 17/00 601	P 5B025
H01L 21/8247		H01L 27/10 434	5F001
27/115		29/78 371	5F083
29/788			5F101

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-92522 (P 2000-92522)

(22) 出願日 平成12年 3 月29日 (2000. 3. 29)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 高田 栄和

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

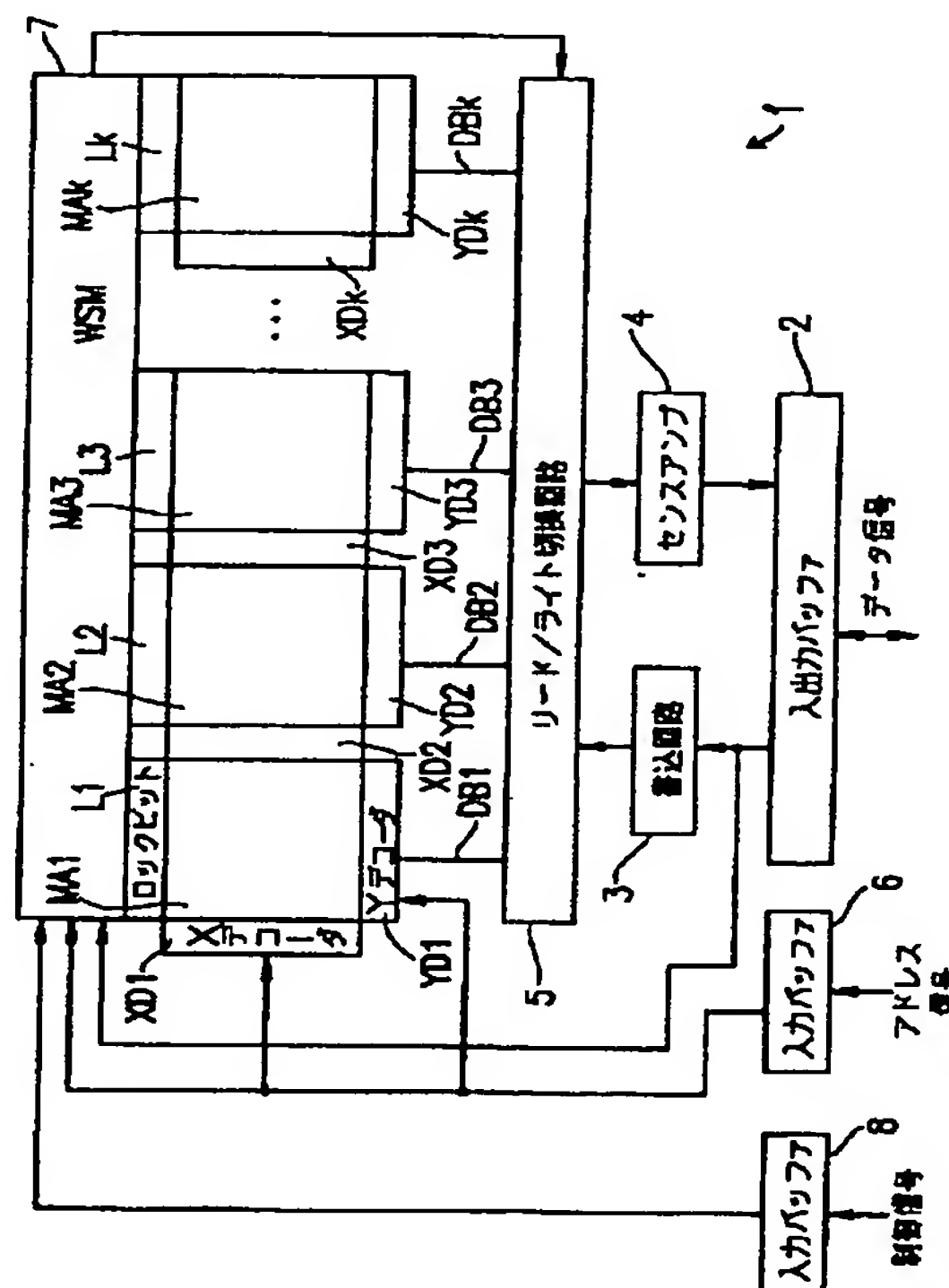
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 メモリセルアレイブロックを間違えてまたは不正にする情報の書換えや消去を防止する。

【解決手段】 任意のメモリセルアレイブロックMAからの読み出し動作と、他のメモリセルアレイブロックMAの書き込みまたは消去動作とを1チップ上において同時に実行できる不揮発性半導体記憶装置1において、ライトステートマシン (WSM) 7によってブロックロック設定部Lにブロックロック (ロックビット) を設定することで、1回データを書き込んだ後の不正書き換えに対するセキュリティ機能を有すると共に書き換えを必要としない情報を格納するメモリアレイブロックMAを設けることができる。



【特許請求の範囲】

【請求項1】 複数のメモリセルアレイブロックのうちの任意のメモリセルアレイブロックに対する情報の書き込み動作または消去動作と、前記任意のメモリセルアレイブロックとは別の任意のメモリセルアレイブロックに対する読み出し動作とを同時に実行可能とする不揮発性半導体記憶装置において、

前記複数のメモリセルアレイブロック毎に、情報の書き込みおよび消去動作を禁止するブロックロック設定手段が設けられ、少なくとも一つのブロックロック設定手段にブロックロックが設定されている不揮発性半導体記憶装置。

【請求項2】 前記ブロックロック設定手段は、情報の書き込み動作および消去動作禁止用のロック情報を設定可能とするフローティングゲート型MOSトランジスタとラッチ型回路との何れかで構成されている請求項1記載の不揮発性半導体記憶装置。

【請求項3】 任意のメモリセルアレイブロックへのデータの読み出し動作と書き込みまたは消去動作を実行すると共に、所定のメモリセルアレイブロックのブロックロック設定手段に対して、情報の書き込みおよび消去動作を禁止するロック情報を設定可能とするメモリ動作およびロック設定制御手段が設けられた請求項1または2記載の不揮発性半導体記憶装置。

【請求項4】 前記メモリ動作およびロック設定制御手段からの制御信号によって制御され、任意のメモリセルアレイブロックのデータバスと情報読出用出力端の接続制御を可能とすると共に、前記任意のメモリセルアレイブロックとは別のメモリセルアレイブロックのデータバスと情報書込用入力端の接続制御を可能とする接続制御手段が設けられている請求項3記載の不揮発性半導体記憶装置。

【請求項5】 前記ブロックロック設定手段によりブロックロックが設定されているメモリセルアレイブロックに対しては、セキュリティが必要な情報および情報の書き換えを必要としない情報が格納されている請求項1～4の何れかに記載の不揮発性半導体記憶装置。

【請求項6】 電氣的に情報の書き込み、消去および読み出しが可能な不揮発性メモリトランジスタがマトリクス状に配列され、同一行のトランジスタのコントロールゲートが共通接続されてワード線を構成し、同一列のトランジスタのドレインが共通接続されてビット線を構成し、全てのトランジスタのソースが共通接続された前記メモリセルアレイブロックであって、

入力アドレス信号の行選択信号部分の信号値に応じて、所定のワード線選択信号を出力する行デコーダと、入力アドレス信号の列選択信号部分の信号値に応じて、前記ビット線を選択的にデータバスに接続する列デコーダとを備えた前記メモリセルアレイブロックが、単一集積回路上に3個以上配設されている請求項1～5の何れかに

記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電氣的に情報の書き込みまたは消去動作と、情報の読み出し動作とを同時に実行可能とする不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 通常、フラッシュEEPROM（ブロック一括消去型1チップ・フラッシュメモリ）では、任意のメモリセルブロックへの書き込みまたは消去動作が行われるときに、それ以外のメモリセルブロックには何らアクセスが為されていない。書き込み動作には、通常数マイクロ秒～10マイクロ秒の時間を要する一方、消去動作には数100ミリ秒～1秒程度の長い時間を要している。近年のマイクロプロセッサの高速化が進む中で、フラッシュEEPROMのデータの書き込み動作または消去動作に要する時間が長いことが課題とされている。

【0003】 このような課題を解決するために、任意のメモリセルブロックへの書き込み動作または消去動作が実行されている間に、他のメモリセルブロックからデータを読み出すことができる技術が、特開平6-180999号公報「同時読み出し／書き込み機能付きフローティングゲート非揮発型メモリ及びこれを備えたマイクロプロセッサ」、特開平7-281952号公報「不揮発性半導体記憶装置」、特開平5-54682号公報「不揮発性半導体メモリ」および特開平10-144086号公報「不揮発性半導体記憶装置」などに開示されている。当出願人から既に出願されている特開平10-144086「不揮発性半導体記憶装置」について図3を用いて以下詳細に説明する。

【0004】 図3は従来の不揮発性半導体記憶装置の回路構成を示すブロック図である。図3において、不揮発性半導体記憶装置40は、ブロック一括消去型1チップ・フラッシュメモリで構成されており、2つの書込回路41、42がそれぞれ2系統のデータバスDB-1、DB-2をそれぞれ介して各列デコーダYD（YD1、・・・、YDk）にそれぞれ接続されている。これらの各列デコーダYDはそれぞれ2系統のデータバスDB-1、DB-2を介して各センスアンプ回路43、44にそれぞれ接続されている。各列デコーダYDにそれぞれ対応するように各メモリセルアレイブロックMA（MA1、MA2、・・・、MAk）がそれぞれ配設されている。これらのメモリセルアレイブロックMA全体に対してその両側に行デコーダXD1、XD2が設けられ、メモリセルアレイブロックMAのそれぞれの間にスイッチ回路SW（SW1・・・SWk-1）が介装されて各メモリセルアレイブロックMAそれぞれを直列に連結している。

【0005】 書込回路41、42は、データ書き込み時に、データバスDB-1、DB-2に対して所定の書き

込み用高電圧 V_{PP} を印加するものである。

【0006】データバス $DB-1$ 、 $DB-2$ は、データの読み出し動作と書き込み動作を異なるメモリセルアレイブロック MA で同時に実行させるために 2 系統設けられている。

【0007】センスアンプ回路 43、44 はそれぞれ、データ読み出し時に、データバス $DB-1$ 、 $DB-2$ の電流をセンスし、それを増幅して外部にデータ出力するものである。

【0008】列デコーダ YD は、各メモリセルアレイブロック MA に対するデータ書き込みまたは読み出し時に、入力アドレス信号の列選択信号部分の信号値に応じて、選択されたビット線を、データバス $DB-1$ または $DB-2$ に択一的に接続するものである。

【0009】行デコーダ $XD1$ 、 $XD2$ のうち一方の行デコーダ $XD1$ は、メモリセルアレイブロック $MA1$ の各ワード線に接続され、他方の行デコーダ $XD2$ はメモリセルアレイブロック MAk の各ワード線に接続されており、入力アドレス信号の行選択信号の信号値に応じて、所定のワード線選択信号を出力するものである。

【0010】各スイッチ回 SW はそれぞれ、そのスイッチング素子群が各ブロックのワード線間に介装されている。各スイッチ回路 SW のスイッチング素子群は、それぞれ共通接続されてオン／オフ制御されるようになっている。このように、各メモリセルアレイブロック MA 間にスイッチング素子群を配置することで、メモリセルアレイブロック MA を、2 つの独立した左右の領域に分離（スイッチング素子のオフ）し、各々の独立した左右領域に対して、行デコーダ $XD1$ 、 $XD2$ によって両側からワード線を選択することで、読み出し動作と書き込みを同時に実行させることができるようにしている。また、消去動作を含めて、読み出し動作と書き込みまたは消去動作とを同時実行させることも可能である。また、2 つのメモリセルアレイブロックの独立した領域への書き込み動作を同時に実行することも可能であるし、独立に動作させるメモリセルアレイブロックの領域を全く任意に設定したり変更したりすることも可能である。

【0011】各メモリセルアレイブロック MA はそれぞれ、後述する共通ソースに、書き込み時、消去時および読み出し時の所定電圧（書き込み時および読み出し時は接地電圧、消去時は高電圧 V_{HH} ）が印加され、また、それぞれのビット線には書き込み時は高電圧 V_{PP} が印加されるようになっている。

【0012】メモリセルアレイブロック MA はそれぞれ、図 4 に示すように、不揮発性メモリトランジスタとしてフローティングゲート型 MOS トランジスタ T_r がマトリクス状に配列されて構成されている。同一行のトランジスタ T_r のコントロールゲート G が共通接続されてワード線 W を構成し、同一列のトランジスタ T_r のドレイン D が共通接続されてビット線 B を構成し、さらに、

マトリクスを構成する全てのトランジスタ T_r のソース S が共通接続されて共通ソースを構成している。

【0013】このフローティングゲート型 MOS トランジスタ T_r は、図 5 に示すように、コントロールゲート G の下方にフローティングゲート F を有しており、書き込み動作は、ドレイン D の近傍からフローティングゲート F へのチャンネルホットエレクトロン注入により行い、消去動作は、図 6 に示すようにフローティングゲート F からソース S へのファウラーノードハイム電流によるトンネル消去により行うようになっている。

【0014】

【発明が解決しようとする課題】しかしながら、一般に不揮発性メモリに共通する問題であるが、何れのメモリセルアレイブロック MA への書き込み動作または消去動作も可能であったため、そのメモリセルアレイブロック MA が間違えてまたは不正に書き換えられてしまう虞があった。

【0015】本発明は、上記従来の事情に鑑みて為されたもので、メモリセルアレイブロックが間違えてまたは不正に書き換えられてしまうことを防止することができる不揮発性半導体記憶装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、複数のメモリセルアレイブロックのうちの任意のメモリセルアレイブロックに対する情報の書き込み動作または消去動作と、任意のメモリセルアレイブロックとは別の任意のメモリセルアレイブロックに対する読み出し動作とを同時に実行可能とする不揮発性半導体記憶装置において、複数のメモリセルアレイブロック毎に、情報の書き込みおよび消去動作を禁止するブロックロック設定手段が設けられ、少なくとも一つのブロックロック設定手段にブロックロックが設定されているものである。

【0017】この構成により、任意のメモリセルアレイブロックのブロックロック設定手段にブロックロック（ロックビット）が設定されているので、ブロックロックが設定されたメモリセルアレイブロックに対しては、間違えてまたは不正に行われる情報の書き換え動作や消去動作が防止される。

【0018】また、好ましくは、本発明の不揮発性半導体記憶装置において、ブロックロック設定手段は、情報の書き込み動作および消去動作禁止用のロック情報を設定可能とするフローティングゲート型 MOS トランジスタとラッチ型回路との何れかで構成されている。

【0019】この構成により、ブロックロック設定手段を例えばフローティングゲート型 MOS トランジスタやラッチ型回路で構成すれば、ブロックロック設定手段を簡単に構成することができる。

【0020】また、好ましくは、本発明の不揮発性半導

体記憶装置において、任意のメモリセルアレイブロックへのデータの読み出し動作と書き込みまたは消去動作を実行すると共に、所定のメモリセルアレイブロックのブロックロック設定手段に対して、情報の書き込みおよび消去動作を禁止するロック情報を設定可能とするメモリ動作およびロック設定制御手段が設けられている。

【0021】この構成により、このメモリ動作およびロック設定制御手段によって、所望のメモリセルアレイブロックに対して、ブロックロック設定手段に対するブロックロックの設定が容易に為される。また、メモリ動作およびロック設定制御手段によって任意のメモリセルアレイブロックへの情報の書き込み動作を実行した後に、その書き込み動作を実行した所定のメモリセルアレイブロックのブロックロック設定手段に対して、情報の書き込みおよび消去動作を禁止するロック情報を設定すれば、任意のメモリセルアレイブロックに情報を1回書き込んだ後に、その情報を書き込んだメモリセルアレイブロックに対して不正な書込動作や消去動作ができず、この書き込んだ情報は保護されると共に読み出し動作のみ可能とすることができる。

【0022】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、メモリ動作およびロック設定制御手段からの制御信号によって制御され、任意のメモリセルアレイブロックのデータバスと情報読出用出力端の接続制御するとき、前記任意のメモリセルアレイブロックとは別のメモリセルアレイブロックのデータバスと情報書込用入力端の接続制御可能とする接続制御手段が設けられている。

【0023】この構成により、例えば同時に選択された2つのメモリセルアレイブロックのうちの一方への書き込みまたは消去動作を実行している間に、他方が読み出し動作を実行することも可能となる。また、例えば、ブロックロックが設定されているメモリセルアレイブロック以外の任意のメモリセルアレイブロックへの書き込み動作が実行されている間に、ブロックロックが設定されているメモリセルアレイブロックからの読み出し動作を実行することも可能となる。

【0024】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、ブロックロック設定手段によりブロックロックが設定されているメモリセルアレイブロックに対しては、セキュリティが必要な情報および情報の書き換えを必要としない情報が格納されている。

【0025】この構成により、メモリアレイブロックに記憶されたセキュリティ機能または書き換えを必要としない情報に対して、間違ってもまたは不正に情報の書き換え動作や消去動作が行われないので安全である。

【0026】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、電氣的に情報の書き込み、消去および読み出しが可能な不揮発性メモリトランジスタがマトリクス状に配列され、同一行のトランジスタのコン

トロールゲートが共通接続されてワード線を構成し、同一列のトランジスタのドレインが共通接続されてビット線を構成し、全てのトランジスタのソースが共通接続された前記メモリセルアレイブロックであって、入力アドレス信号の行選択信号部分の信号値に応じて、所定のワード線選択信号を出力する行デコーダと、入力アドレス信号の列選択信号部分の信号値に応じて、ビット線を選択的にデータバスに接続する列デコーダとを備えた前記メモリセルアレイブロックが、単一集積回路上に3個以上配設されている。

【0027】この構成により、不揮発性メモリトランジスタがマトリクス状に配列されたメモリセルアレイブロックに、間違ってもまたは不正に書き換えたり消去するのを防止する本発明の構成を容易に適用可能である。また、任意のメモリセルアレイブロックからの情報の読み出し動作と、その任意のメモリセルアレイブロックとは別のメモリセルアレイブロックの書き込み・消去動作とを1チップ上において同時に実行させることが可能となる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0029】図1は、本発明の一実施形態における不揮発性半導体記憶装置の構成を示すブロック図である。図1において、不揮発性半導体記憶装置1は、データ信号が入出力される入出力バッファ2と、入出力バッファ2の出力端がデータ書込用入力端に接続された書込回路3と、入出力バッファ2の入力端がデータ読出用出力端に接続されたセンスアンプ回路4と、書込回路3のデータ書込用出力端が接続されると共にセンスアンプ回路4のデータ読出用入力端が接続された接続制御手段としてのリード／ライト切換回路5と、リード／ライト切換回路5とデータバスDB(DB1, ..., DBk)をそれぞれ介して接続された列デコーダYD(YD1, ..., YDk)と、各列デコーダYDにそれぞれ対応して配設された各メモリセルアレイブロックMA(MA1, MA2, ..., MAk)と、各メモリセルアレイブロックMAにそれぞれ対応して配設された行デコーダXD(XD1, ..., XDk)とを備えており、列デコーダYDおよび行デコーダXDには、メモリセルを特定するためのアドレス信号が入力される入力バッファ6が接続されている。

【0030】書込回路3は、データ書き込み時に、リード／ライト切換回路5に対して書き込み信号(所定の書き込み用高電圧VPP)を出力するものである。

【0031】センスアンプ回路4は、データ読み出し時に、リード／ライト切換回路5からの読み出し電流をセンスし、それを増幅して入出力バッファ2に出力するものである。

【0032】リード／ライト切換回路5は、後述するラ

イトステートマシン 7 からのメモリ動作制御信号によって制御され、データの読み出し動作と書き込みまたは消去動作のために接続制御を行うものである。例えば、リード／ライト切換回路 5 は、データの読み出し動作と書き込み動作を同時に実行するべく、任意のメモリセルアレイブロック MA のデータバス DB とセンスアンプ回路 4 との間および、他の任意のメモリセルアレイブロック MA のデータバス DB と書込回路 3 との間を接続制御することを可能とするものである。

【0033】列デコーダ YD は、その出力端がそれぞれメモリセルアレイブロック MA のビット線にそれぞれ接続されており、各メモリセルアレイブロック MA に対する入力アドレス信号の列選択信号部分の信号値に応じて、選択されたデータ入出力用のビット線をそれぞれのデータバス DB 1、…、DB k に接続するようになっている。

【0034】行デコーダ XD は、その出力端がそれぞれメモリセルアレイブロック MA のワード線にそれぞれ接続されており、各メモリセルアレイブロック MA (MA 1、…、MA k) に対するデータ書き込みおよび読み出し時に、入力アドレス信号の行選択信号部分の信号値に応じて、所定のワード線選択信号 (トランジスタをオン・オフ制御する信号) を出力するようになっている。

【0035】複数の (3 つ以上) のメモリセルアレイブロック MA はそれぞれ、図 4 の場合と同様の構成であり、不揮発性メモリトランジスタとしてフローティングゲート型 MOS トランジスタ Tr がマトリクス状に配列され、同一行のトランジスタ Tr のコントロールゲート G が共通接続されてワード線 W を構成し、同一列のトランジスタ Tr のドレイン D が共通接続されてビット線 B を構成し、さらに、マトリクスを構成する全てのトランジスタ Tr のソース S が共通接続されて共通ソースを構成するものである。

【0036】このフローティングゲート型 MOS トランジスタ Tr はコントロールゲート G の下方位置にフローティングゲート F を有し、書き込み動作は、図 5 に示すようにドレイン D の近傍からフローティングゲート F へのチャンネルホットエレクトロン注入により行い、消去動作は、図 6 に示すようにフローティングゲート F からソース S へのファウラーノードハイム電流によるトンネル消去により行うように構成している。

【0037】また、不揮発性半導体記憶装置 1 は、メモリ動作およびロック設定制御手段としてのライトステートマシン (WSM: Write State Machine) 7 と、ブロックロック設定手段としてのブロックロック設定部 L (L 1、…、L k) とを有しており、ライトステートマシン 7 には、データが入力される入出力バッファ 2 と、メモリセルを特定するアドレス信号が入力される入力バッファ 6 と、メモリ動作およびロック設定用の各種制御信号が入力される入力バッファ 8 とが接続されてい

る。制御信号としては、ブロックロックコマンド信号、ブロックロックアドレス信号およびメモリコマンド信号 (リード／ライト信号および消去信号など) などがある。外部から、後述するが、書き込み可能でかつ消去不可能なメモリセルアレイブロック領域 (以下、OTP 領域という) の読み出し動作および、書き込みまたは消去動作を実行すると共に書き込みまたは消去動作を禁止するロック情報を設定するためのブロックロックコマンド信号には、OTP 領域以外のメモリセルアレイブロック MA への読み出し、書き込みまたは消去用のコマンド信号 (リード／ライト信号および消去信号など) とは異なったコマンド信号を用いる。

【0038】ブロックロック設定部 L (L 1、…、L k) は、各メモリセルアレイブロック MA 毎に対応して設けられており、上記フローティングゲート型 MOS トランジスタ Tr を用いたメモリセルと同様の構造によるもので、そこに書き込みおよび消去を禁止するためのロックビットによるロック情報の設定が可能になっている。

【0039】ライトステートマシン 7 は、所定の命令に基づいて小規模 CPU (中央演算処理装置) としてメモリ動作およびロック設定動作を行うものである。ライトステートマシン 7 は、メモリ動作として、メモリセルアレイブロック MA へのデータの書き込み動作やブロック単位での消去動作の他、読み出し動作を実行するものである。また、ライトステートマシン 7 は、ロック設定動作として、所定のメモリセルアレイブロック MA のブロックロック設定部 L に対して、情報の書き込みおよび消去動作を禁止するロックビットによるロック情報の設定を可能とするようになっている。特定のメモリセルアレイブロック MA に対して 1 回だけデータを書き込み可能でかつ消去不可能とするメモリセルアレイブロック領域 (以下、OTP 領域という) に設定することができるようになっている。この OTP 領域は、各メモリセルブロック MA の内の任意の 1 つ以上を持つことを特徴としており、OTP 領域意外のメモリセルブロック MA に対しては、書き込み動作および消去動作を行うことができるようになっている。

【0040】上記構成により、以下その動作を説明する。まず、入出力バッファ 5 には書き込むべきデータ信号が入力される。このデータ信号は書込回路 3 を介してリード／ライト切換回路 5 に入力される。このとき、入力バッファ 6 を介してメモリセルを特定するアドレス信号が列デコーダ YD および行デコーダ XD に入力される。また、ライトステートマシン 7 には、アドレス信号およびデータ信号の他に、メモリ動作の各種制御信号としてリード／ライト信号が入力される。

【0041】列デコーダ YD では、入力アドレス信号の列選択信号部分の信号値に応じて、選択された例えば 2 つのメモリセルアレイブロック MA、MA' の所定のビ

ット線をデータバスDBに接続し、行デコーダXDでは、入力アドレス信号の行選択信号部分の信号値に応じて、選択されたメモリセルアレイブロックMA、MA'の所定のワード線選択信号を出力する。

【0042】ライトステートマシン7は、リード/ライト信号を解釈してリード/ライト切換回路5を制御し、リード/ライト切換回路5により例えばデータの読み出し動作と書き込み動作を同時に実行する。即ち、リード/ライト切換回路5によって、例えば1つのメモリセルアレイブロックMAのデータバスDBとセンスアンプ回路4とを接続することで、そのメモリセルアレイブロックMAからデータが読み出されると同時に、もう1つの別のメモリセルアレイブロックMA'のデータバスDBと書込回路3とを接続することで、そのメモリセルアレイブロックMAへのデータが書き込みが行われる。

【0043】次に、以上のようにして1回だけデータを書き込んだ後、図2に示すようにステップS1でライトステートマシン7にブロックロックコマンド信号を入力する。ライトステートマシン7は、ステップS2でブロックロックコマンド信号かどうかを判定し、ステップS2でブロックロックコマンド信号であれば、ステップS3でOTP領域のブロックロック設定部Lにロックビットのセットを行う。つまり、ライトステートマシン7に、アドレス信号およびデータ信号の他に、ブロックロック設定用の各種制御信号としてブロックロックコマンド信号およびブロックロックアドレス信号などが入力される。ライトステートマシン7は、ブロックロックコマンド信号外部からブロックロックコマンドが入力されると、ブロックロックコマンド信号およびブロックロックアドレス信号に従って該当メモリセルアレイブロックMAのブロックロック設定部Lにロック情報を設定する。ライトステートマシン7が、ステップS2でブロックロックコマンド信号でないと判定したら、ステップS4でロックビットが「1」かどうかを判定し、「1」であればステップS1に戻り、「1」でなければ、次のステップS5で通常のメモリ動作に戻るよう制御を行う。以後このロック状態が解除されるまで、このメモリセルアレイブロックMAの書き込み動作および消去動作が禁止されることになる。

【0044】このとき、OTP領域からのデータの読み出し動作は、他のメモリセルアレイブロックMAと同様、自由に行われる。また、他のメモリセルアレイブロックMAへの書き込み動作が実行されている間に、OTP領域からデータを読み出すことも可能である。したがって、2つのメモリアレイブロックMA、MA'の一方ではデータの書き込みまたは消去動作を実行し、他方ではセキュリティ情報または書き換えを必要としない情報の読み出しだけを実行することで、同時動作を実現することができる。しかも、1回だけデータを書き込んだ後、書き込みおよび消去が禁止され、データが保護され

る。

【0045】以上により本実施形態の不揮発性半導体記憶装置1によれば、任意のメモリセルアレイブロックMAからの読み出し動作と、他のメモリセルアレイブロックMAの書き込みまたは消去動作とを1チップ上において同時に実行できる不揮発性半導体記憶装置1において、ブロックロック設定部Lにブロックロックを設定することで、1回データを書き込んだ後の不正書き換えに対するセキュリティ機能を有すると共に書き換えを必要としない情報を格納するメモリアレイブロックMAを設けることができる。このようなブロックロックが設定されたメモリセルアレイブロックMAに対して、間違っまたは不正に行われる情報の書換動作や消去動作を防止することができる。この場合、他のメモリセルアレイブロックの書き込みまたは消去動作を実行している間に、セキュリティ機能を有するメモリアレイブロックからの読み出し動作を同時に実行することができる。

【0046】なお、本実施形態では、ブロックロック設定部Lを、上記フローティングゲート型MOSトランジスタTrのメモリセルと同様のメモリセルで構成したが、上記メモリセル以外に、レジスタ中のビットを設定するラッチ型回路によっても実現することが可能である。

【0047】また、本実施形態では、各メモリセルアレイブロックMAはそれぞれ、後述する共通ソースに、書き込み時または消去時および、読み出し時の所定電圧（書き込み時および読み出し時は接地電圧、消去時は高電圧VHH）を選択的に印加するように構成したが、本発明はこれに限定されるものではなく、消去時に、上記トランジスタTrのコントロールゲートGに負電圧のワード線選択信号を印加し、上記共通ソースSに、接地電圧を印加する方式、または、フローティングゲートFとチャネル間で絶縁膜を介した面内で電荷を引き抜くチャネル消去型なども適用可能である。

【0048】

【発明の効果】以上により請求項1によれば、任意のメモリセルアレイブロックのブロックロック設定手段にブロックロックが設定されているため、ブロックロックが設定されたメモリセルアレイブロックに対して、間違っまたは不正に行われる情報の書換動作や消去動作を防止することができる。

【0049】また、請求項2によれば、ブロックロック設定手段を例えばフローティングゲート型MOSトランジスタやラッチ型回路で構成すれば、ブロックロック設定手段を簡単に構成することができる。

【0050】さらに、請求項3によれば、メモリ動作およびロック設定制御手段によって、所望のメモリセルアレイブロックに対して、ブロックロック設定手段に対するブロックロックの設定を容易に行うことができる。また、メモリ動作およびロック設定制御手段によって任意

のメモリセルアレイブロックへの情報の書き込み動作を実行した後に、その書き込み動作を実行した所定のメモリセルアレイブロックのブロックロック設定手段に対して、情報の書き込みおよび消去動作を禁止するロック情報を設定すれば、任意のメモリセルアレイブロックに情報を1回書き込んだ後に、その情報を書き込んだメモリセルアレイブロックに対して不正な書込動作や消去動作ができず、この書き込んだ情報を保護することができると共に読み出し動作のみ行うことができる。

【0051】さらに、請求項4によれば、例えば同時に選択された2つのメモリセルアレイブロックのうちの一方への書き込みまたは消去動作を実行している間に、他方が読み出し動作を実行することもできる。また、例えば、ブロックロックが設定されているメモリセルアレイブロック以外の任意のメモリセルアレイブロックへの書き込み動作が実行されている間に、ブロックロックが設定されているメモリセルアレイブロックからの読み出し動作を実行することもできる。

【0052】さらに、請求項5によれば、メモリアレイブロックに記憶されたセキュリティ機能または書き換えを必要としない情報に対して、間違えてまたは不正に情報の書き換え動作や消去動作が行われないので安全である。このセキュリティ機能を有するメモリアレイブロックに、BIOS（ベシック・インプット・アウトプット・システム：Basic Input-Output System）のように1回書き込めば、以後は書き換える必要のないデータを格納する目的にも用いることができる。

【0053】さらに、請求項6によれば、メモリセルとして不揮発性メモリトランジスタがマトリクス状に配列

されたメモリセルアレイブロックに、間違えてまたは不正に書き換えたり消去するのを防止する本発明の構成を容易に適用することができる。また、任意のメモリセルアレイブロックからの情報の読み出し動作と、その任意のメモリセルアレイブロックとは別のメモリセルアレイブロックの書き込みまたは消去動作とを1チップ上において同時に実行させることもできる。

【図面の簡単な説明】

【図1】本発明の一実施形態における不揮発性半導体記憶装置の構成を示すブロック図である。

【図2】図1の不揮発性半導体記憶装置における書込／消去禁止動作を示すフローチャートである。

【図3】従来の不揮発性半導体記憶装置の回路構成を示すブロック図である。

【図4】図3のメモリセルアレイブロックの回路図である。

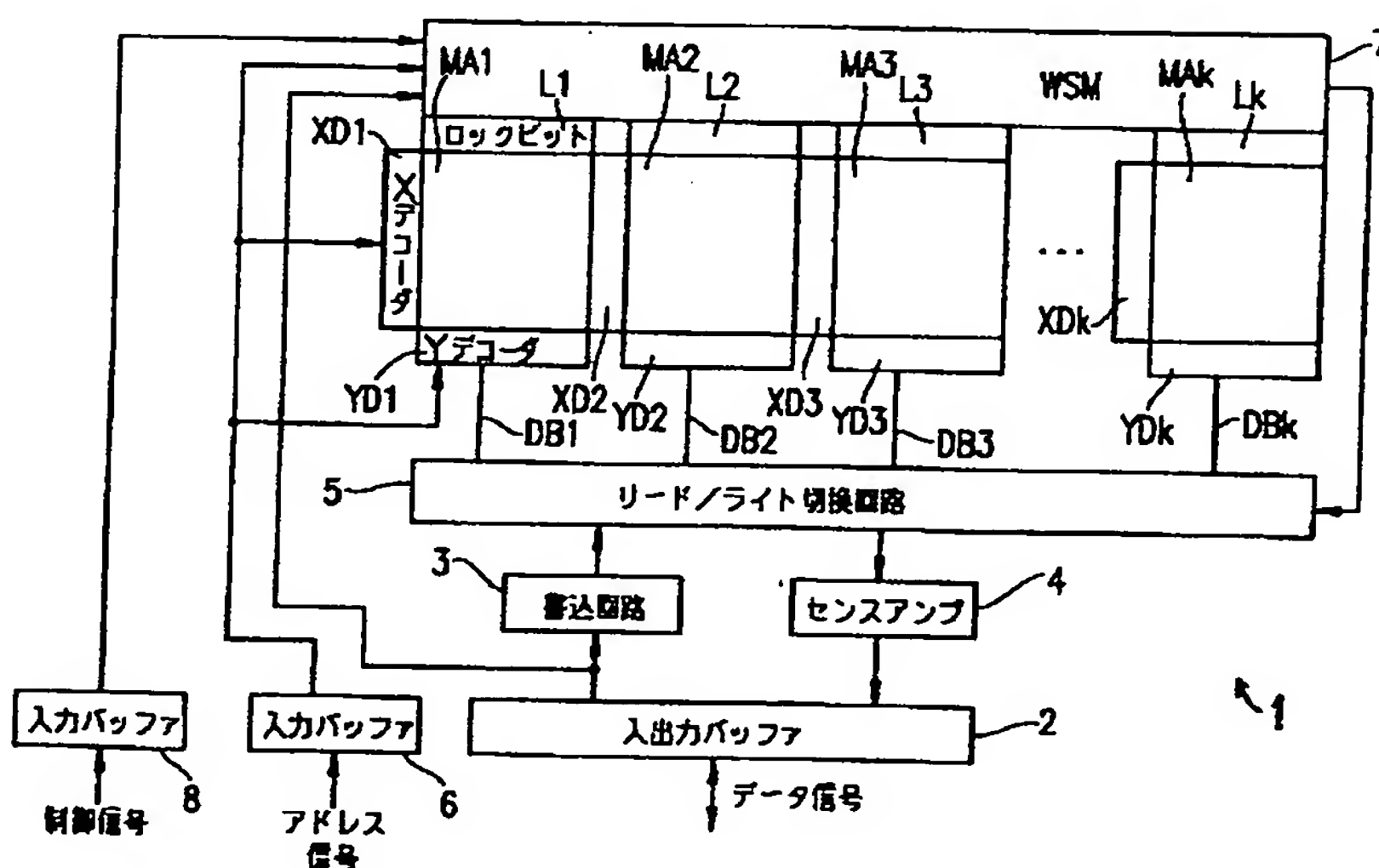
【図5】書き込み動作を示す不揮発性メモリトランジスタの構成図である。

【図6】消去動作を示す不揮発性メモリトランジスタの構成図である。

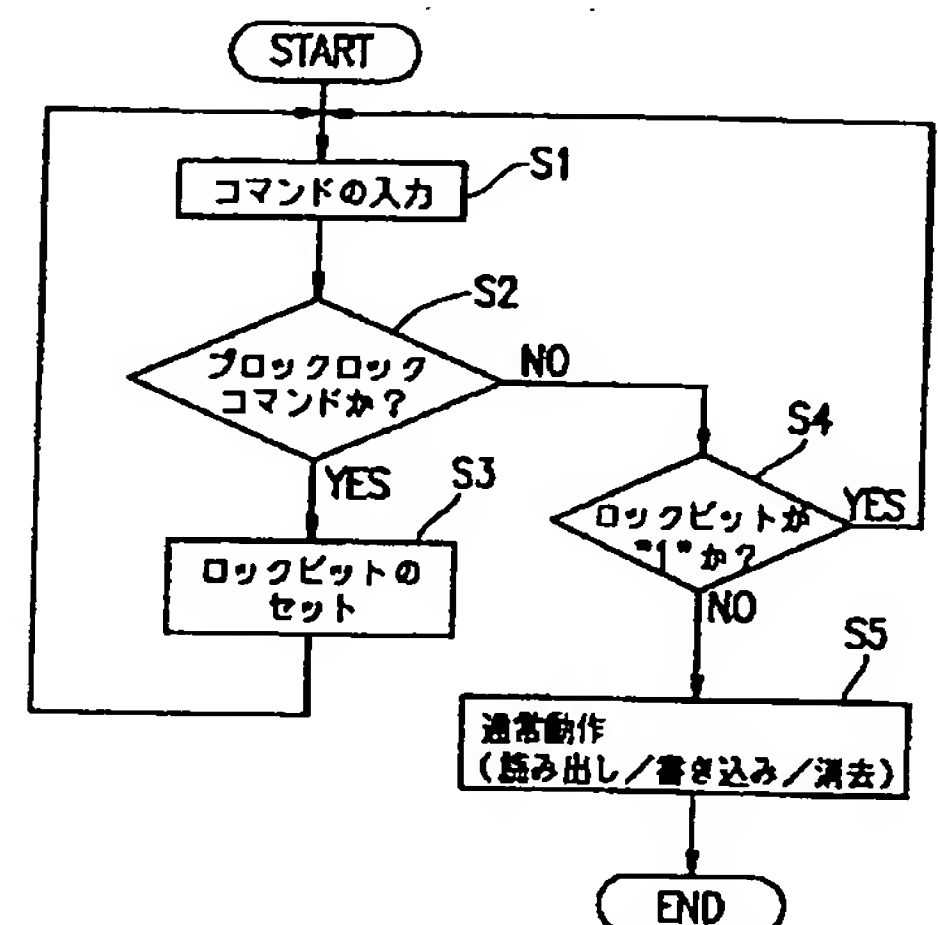
【符号の説明】

- 1 不揮発性半導体記憶装置
- 5 リード／ライト切換回路
- 7 ライトステートマシン (WSM)
- YD (YD1, ..., YDk) 列デコーダ
- MA (MA1, MA2, ..., MAk) メモリセルアレイブロック
- XD (XD1, ..., XDk) 行デコーダ
- L (L1, ..., Lk) ブロックロック設定部

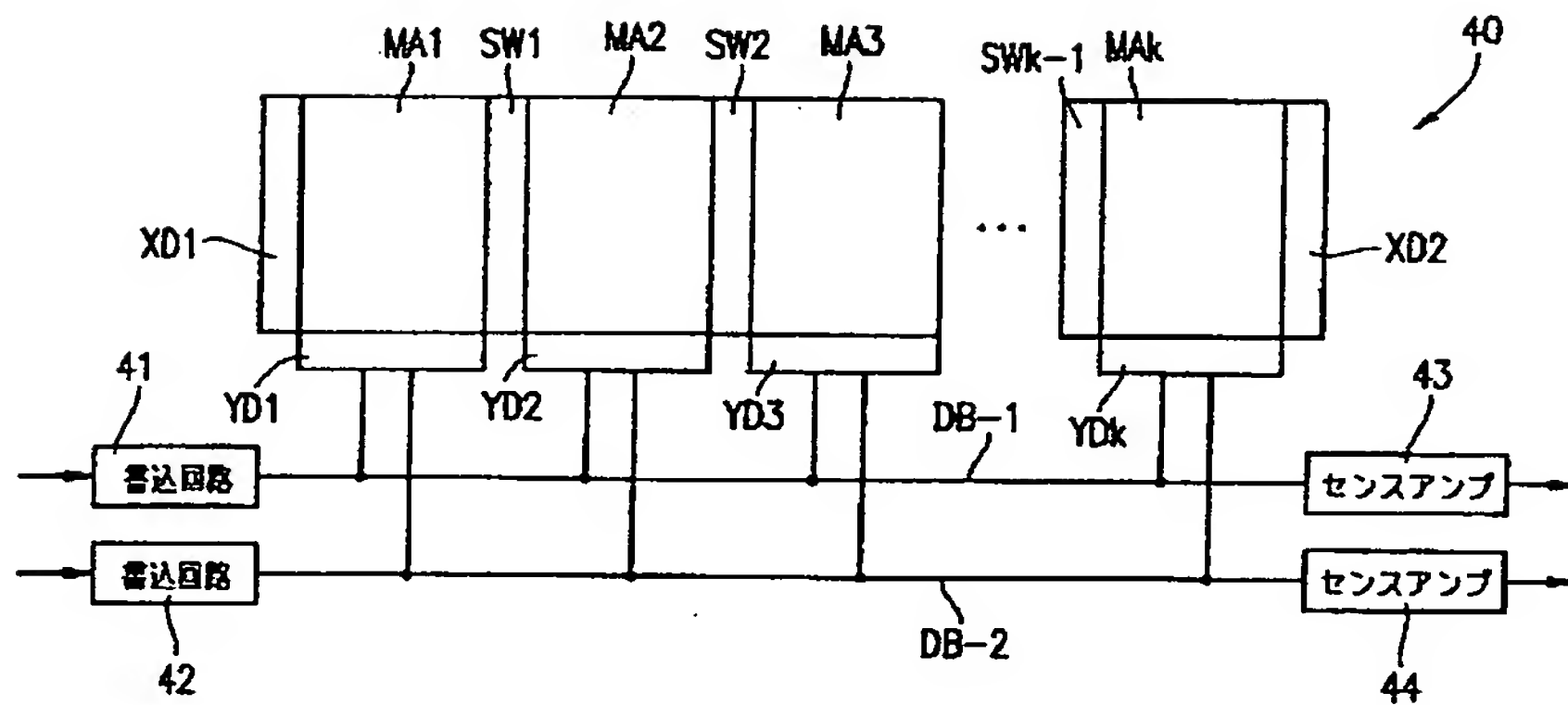
【図1】



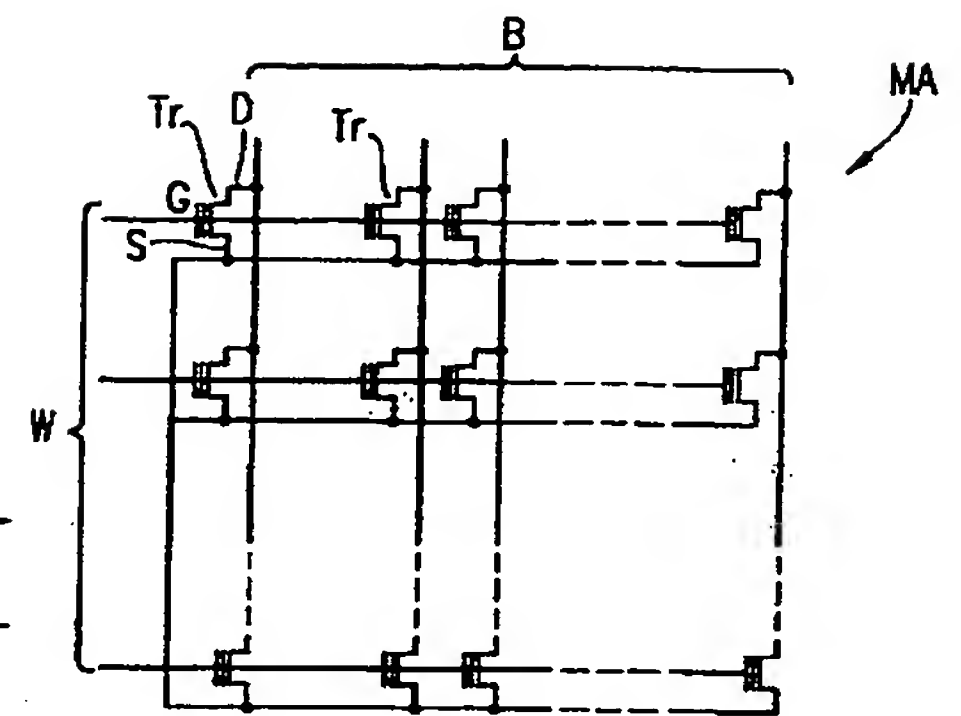
【図2】



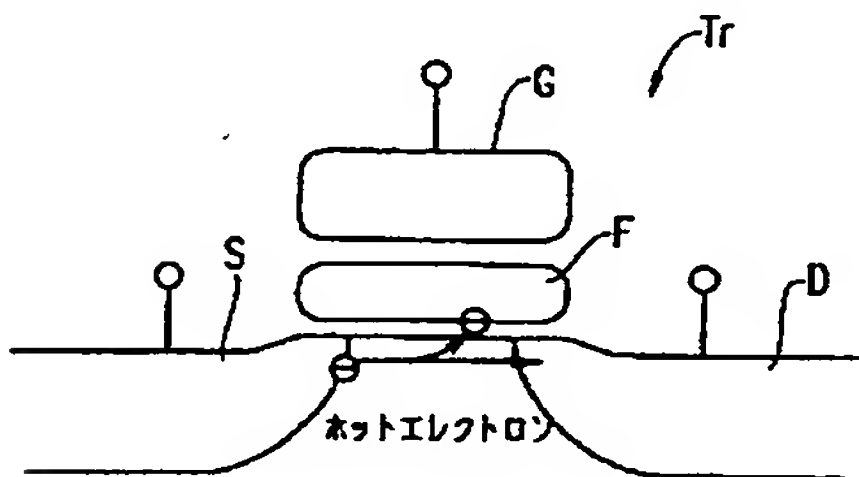
【図 3】



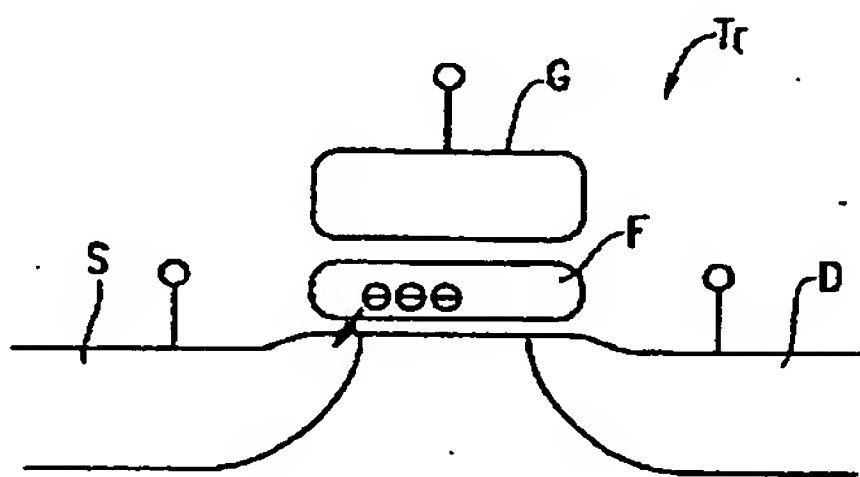
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.

H01L 29/792

識別記号

F I

テーマコード (参考)

F ターム (参考) 5B017 AA02 BA04 BB03 BB05 CA11
CA16
5B025 AA03 AB01 AC01 AD01 AD14
AE00 AE08
5F001 AA01 AB08 AC06
5F083 EP02 EP22 ER02 ER16 ER23
ER30
5F101 BA01 BB05 BC11